

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Patent

Customer No. 31561
Application No.: 10/605,323
Docket No. 10680-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chiang et al.
Application No. : 10/605,323
Filed : September 23, 2003
For : PIXEL STRUCTURE AND FABRICATING METHOD
THEREOF
Examiner :
Art Unit : 2871

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
092122053, filed on: 2003/08/12.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

Feb. 25, 2004

By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

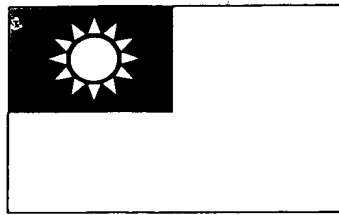
Please send future correspondence to:

7F-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 12 日
Application Date

申請案號：092122053
Application No.

申請人：廣輝電子股份有限公司、夏普股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 6 月 6 日
Issue Date

發文字號：092122053000
Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|----------------------|---|
| 一、 發明名稱 | 中文 | 畫素結構及其製造方法 |
| | 英文 | PIXEL STRUCTURE AND FABRICATING METHOD THEREOF |
| 二、 發明人 (共2人) | 姓名 (中文) | 1. 姜志宏 2. 西野 大輔 |
| | 姓名 (英文) | 1. Chih-Hung Chiang 2. Daisuke Nishino |
| | 國籍 (中英文) | 1. 中華民國 TW 2. 日本 JP |
| | 住居所 (中文) | 1. 桃園縣中壢市新生路548巷23號 2. 台北市北投區112北投路3段9號 |
| | 住居所 (英文) | 1. No. 23, Lane 548, Sinsheng Rd., Jhongli City, Taoyuan County 320, Taiwan, R.O.C. 2. No. 9, Sec. 3, Beitou District, Taipei City 112, Taiwan, R.O.C. |
| 三、 申請人 (共2人) | 名稱或姓名 (中文) | 1. 廣輝電子股份有限公司 |
| | 名稱或姓名 (英文) | 1. Quanta Display Inc. |
| | 國籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (營業所) (中文) | 1. 桃園縣龜山鄉華亞二路189號 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英文) | 1. No. 189, Huaya 2nd Rd., Gueishan Shiang, Taoyuan, Taiwan 333, R.O.C. |
| | 代表人 (中文) | 1. 林百里 |
| | 代表人 (英文) | 1. Pak-Lee Lam |



| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|---------------------------|--|
| 一、 發明名稱 | 中 文 | |
| | 英 文 | |
| 二、 發明人 (共2人) | 姓 名 (中 文) | |
| | 姓 名 (英 文) | |
| | 國 籍 (中 英 文) | |
| | 住 居 所 (中 文) | |
| | 住 居 所 (英 文) | |
| 三、 申請人 (共2人) | 名稱或 姓 名 (中 文) | 2. 夏普股份有限公司 |
| | 名稱或 姓 名 (英 文) | 2. Sharp Corporation |
| | 國 籍 (中 英 文) | 2. 日本 JP |
| | 住 居 所 (營 業 所) (中 文) | 2. 日本大阪府大阪市阿倍野區長池町22番22號 (本地址與前向貴局申請者相同) |
| | 住 居 所 (營 業 所) (英 文) | 2. 22-22, Nagaike-cho, Abeno-ku, Osaka-shi, Osaka, Japan |
| | 代 表 人 (中 文) | 2. 町田 勝彦 |
| | 代 表 人 (英 文) | 2. Katsuhiko Machida |



四、中文發明摘要 (發明名稱：畫素結構及其製造方法)

一種畫素結構及其製造方法，此方法係於形成資料配線與源極/汲極時，同時形成一導電層，所形成之導電層具有一耦合部以及一連接部，耦合部係作為畫素儲存電容器之上電極，而連接部係將耦合部與汲極連接在一起。之後將接觸窗開口定義在連接部之上方，以使後續所形成之畫素電極能藉由此接觸窗開口而與導電層之連接部電性接觸。如此一來，畫素電極、導電層(包括耦合部)以及汲極之間都彼此電性導通。由於本發明之接觸窗並非形成在畫素儲存電容器之正上方，因此即使接觸窗之蝕刻製程可能會蝕穿閘絕緣層，也不會造成畫素儲存電容器漏電。

伍、(一)、本案代表圖為：第___2___圖

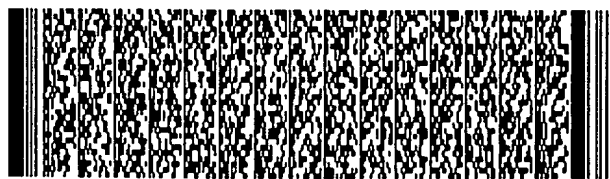
(二)、本案代表圖之元件代表符號簡單說明：

202：掃描配線 204：資料配線 206：閘極

208：通道層 210a/210b：源極/汲極

六、英文發明摘要 (發明名稱：PIXEL STRUCTURE AND FABRICATING METHOD THEREOF)

A pixel structure and a fabricating method thereof are described. The method comprises forming a conductive layer when forming a data line and a source/drain. The conductive layer has a coupling part and a connecting part. The coupling part is used as an upper electrode of a pixel storage capacitor, and the connecting part connects the coupling part and the drain.

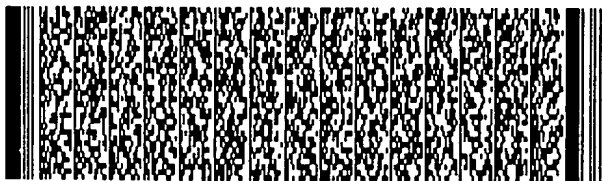


四、中文發明摘要 (發明名稱：畫素結構及其製造方法)

212 : 畫素電極 228 : 接觸窗
216 : 畫素儲存電容器 218 : 共用線(下電極)
220 : 耦合部(上電極) 230 : 薄膜電晶體
222 : 遮光層 240 : 連接部 250 : 導電層

六、英文發明摘要 (發明名稱：PIXEL STRUCTURE AND FABRICATING METHOD THEREOF)

Thereafter, a contact opening is defined on the connecting part, and a pixel electrode formed subsequently can be electrically connected to the connecting part through the contact opening. Thus, the pixel electrode, the conductive layer (includes the coupling part) and the drain are electrically connection each other. Since the contact opening is not formed on the pixel storage



四、中文發明摘要 (發明名稱：畫素結構及其製造方法)

六、英文發明摘要 (發明名稱：PIXEL STRUCTURE AND FABRICATING METHOD THEREOF)

capacitor, the leakage of the pixel storage capacitor will not occur when the etching process of the contact opening etches away the gate insulating layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



發明所屬之技術領域

本發明是有關於一種薄膜電晶體陣列(Thin Film Transistor Array)基板之畫素結構及其製造方法，且特別是有關於一種可以防止畫素儲存電容器發生漏電之畫素結構及其製造方法。

先前技術

薄膜電晶體液晶顯示器主要由薄膜電晶體陣列基板、彩色濾光陣列基板和液晶層所構成，其中薄膜電晶體陣列基板是由多個以陣列排列之薄膜電晶體以及與每一薄膜電晶體對應配置之一畫素電極(Pixel Electrode)而構成數個畫素結構。而上述之薄膜電晶體係包括閘極、通道層、汲極與源極，其係用來作為液晶顯示單元的開關元件。

請參照第1圖，其係為習知薄膜電晶體陣列基板其中一畫素結構之上視示意圖。此畫素結構係配置在一基板(未繪示)上，其包括一掃描配線102、一資料配線104、一薄膜電晶體130、一畫素儲存電容器116以及一畫素電極112。

其中，薄膜電晶體130係包括閘極106、通道層108與源極/汲極110a/110b，且閘極106係與掃描配線102電性連接，源極110a係與資料配細104電性連接，而汲極110b係藉由接觸窗114而與畫素電極112電性連接。

另外，畫素儲存電容器116包括下電極118、上電極120以及位於下電極118與上電極120之間之電容介電層，且上電極120係藉由接觸窗122而與畫素電極112電性連



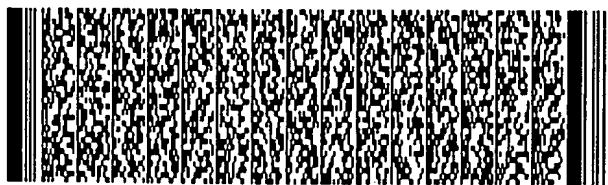
五、發明說明 (2)

接。其中，下電極118係為一共用線，其與掃描配線102以及閘極106同樣是屬於第一金屬層(M1)。而上電極120與資料配線104以及源極/汲極110a/110b同樣是屬於第二金屬層(M2)。而在第一金屬層與第二金屬層之間係配置有一閘絕緣層(未繪示)，在第二金屬層與畫素電極112之間則是配置有一保護層(未繪示)。

特別值得一提的是，一般在基板的二邊緣處會設計有端子部(未繪示)，用以與驅動電路電性連接，其中端子部是屬於第一金屬層(M1)的一部份，且資料配線104與掃描配線102延伸至基板邊緣都會與端子部電性連接。

為了使端子部裸露出來，以使其能與驅動電路電性連接，因此必須將端子部上方之閘絕緣層與保護層都蝕開。然而，對接觸窗114、122而言，卻僅需將保護層蝕開，特別是對畫素儲存電容器116上之接觸窗122而言，僅能蝕開該處之保護層，而必須保留該處之閘絕緣層，以避免畫素儲存電容器116之上、下電極118、120之間產生漏電。因此，保護層與閘絕緣層的蝕刻步驟對薄膜電晶體製程而言是相當關鍵且具有難度的技術。

習知為了克服上述之問題，一種方法是在接觸窗底下多形成一層非晶矽層，其係於定義薄膜電晶體之通道層時所同時定義出的。換言之，利用非晶矽層作為阻擋層，以防止接觸窗底下之閘絕緣層被蝕穿。然而，此種方法必須調整非晶矽與閘絕緣層之間之蝕刻選擇比，因此並非容易完成。



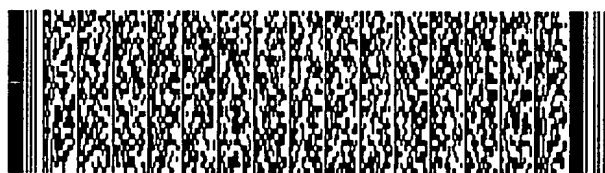
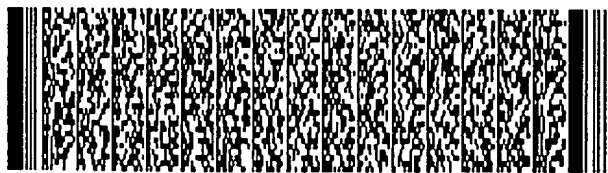
五、發明說明 (3)

習知另一種方法是於接觸窗底下之下電極中先形成一開口，意即先將對應於接觸窗底下之下電極處挖空，如此一來，即使接觸窗底下之閘絕緣層被蝕開，也不會使上電極與下電極之間產生漏電。但是，此種方法仍具有其缺點，也就是先於下電極中挖出開口之後，後續要將接觸窗開口與下電極中之開口對準，仍有對準不易之問題。

發明內容

因此，本發明的目的就是提供一種畫素結構及其製造方法，以解決習知於薄膜電晶體製程之閘絕緣層與保護層之蝕刻步驟，容易發生畫素結構之畫素儲存電容器之上、下電極產生漏電之問題。

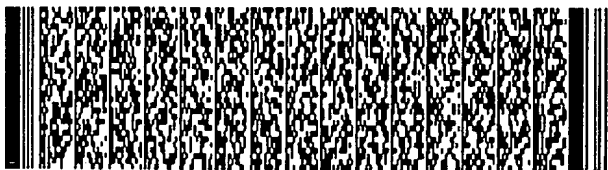
本發明提出一種畫素結構，其包括一掃描配線、一共用線、一閘絕緣層、一資料配線、一開關元件(例如是一薄膜電晶體)、一導電層、一保護層、一平坦層、一接觸窗以及一畫素電極。其中，掃描配線係配置在一基板上，共用線亦配置在基板上，且共用線係與掃描配線平行配置，共用線係作為畫素儲存電容器之下電極之用。閘絕緣層係配置在基板上，覆蓋掃描配線與共用線。資料配線係配置在閘絕緣層上。另外，開關元件係配置在基板上，且此開關元件係與掃描配線以及資料配線電性連接。此外，導電層係配置在閘絕緣層上，此導電層具有一耦合部與一連接部，其中耦合部係位於共用線之上方，其係作為畫素儲存電容器之上電極之用，而連接部係將耦合部與開關元件連接起來。在一較佳實施例中，導電層之連接部係為一



五、發明說明 (4)

多通道結構之設計，其包括用來與開關元件連接之第一部份，用來與耦合部連接之第二部分，以及位於第一部份與第二部分之間的第三部份，第三部分係為多通道結構之設計。保護層係覆蓋住資料配線、開關元件以及導電層，而平坦層係配置在保護層上。另外，接觸窗係配置在連接部上之平坦層與保護層中，在一較佳實施例中，接觸窗係配置在連接部之多通道結構之其中一通道上之平坦層與保護層中。而畫素電極係配置在平坦層之表面上，其中畫素電極係藉由接觸窗而與導電層之連接部電性連接。由於開關元件係與導電層連接在一起，畫素電極又與導電層之連接部電性連接，因此畫素電極、整個導電層(包括耦合部)以及開關元件之間便彼此電性導通。

本發明又提出一種畫素結構的製造方法，此方法係首先在一基板上形成一閘極、與閘極電性連接之一掃描配線以及與掃描配線平行之一共用線，共用線後續係作為一畫素儲存電容器之下電極。接著，在基板上形成一閘絕緣層，覆蓋閘極、掃描配線以及共用線。之後，在閘極上方之閘絕緣層上形成一通道層。隨後，在閘絕緣層上形成一資料配線與一導電層，且同時通道層上形成一源極/汲極，其中閘極、通道層、源極/汲極係構成一薄膜電晶體，且資料配線係與源極電性連接。另外，所形成之導電層具有一耦合部與一連接部，其中耦合部係形成在共用線之上方，其係作為畫素儲存電容器之上電極之用，而導電層之連接部係將其耦合部與薄膜電晶體之汲極連接起來。



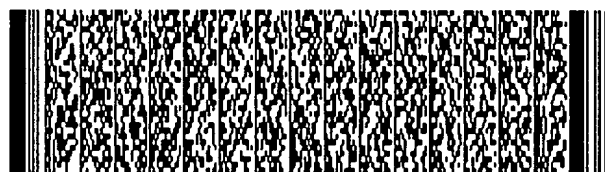
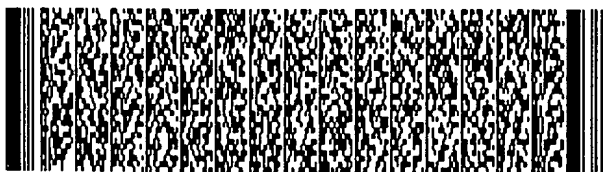
五、發明說明 (5)

在一較佳實施例中，導電層之連接部係為一多通道結構之設計，其包括用來與汲極連接之第一部份，用來與耦合部連接之第二部分，以及位於第一部份與第二部分之間的第三部份，第三部分係為多通道結構的設計，而後續所形成之接觸窗開口則會暴露出第三部份的其中一通道。之後，在基板之上方形成一保護層，覆蓋資料配線、導電層以及薄膜電晶體，並且在保護層上形成一平坦層。接著，在平坦層與保護層中形成一接觸窗開口，暴露出導電層之連接部，在一較佳實施例中，所形成之接觸窗開口係暴露出連接部的其中一通道。隨後，在平坦層之表面上形成一畫素電極，其中畫素電極係藉由接觸窗開口而與導電層之連接部電性連接。由於汲極係與導電層連接在一起，畫素電極又與導電層電性連接，因此畫素電極、導電層以及汲極之間便彼此電性導通。

由於本發明之畫素結構其畫素電極與汲極以及畫素儲存電容器之上電極之間，是透過相同的一接觸窗來電性連接，因此本發明之畫素結構係為一種有別於習知之畫素結構的設計。

由於本發明之畫素結構其接觸窗並非設置在畫素儲存電容器之上方，因此，即使保護層與閘絕緣層之蝕刻步驟會將閘絕緣層蝕穿，也不會導致畫素儲存電容器之上、下電極之間產生漏電。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳



五、發明說明 (6)

細說明如下：

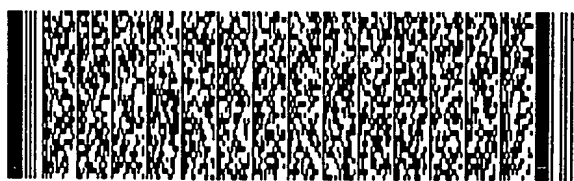
實施方式

請參照第2圖與第3圖，第2圖係為依照本發明一較佳實施例的一種薄膜電晶體陣列基板之其中一畫素結構之上視圖，第3圖係為第2圖中由I-I'之剖面示意圖。本發明之畫素結構的製造方法係首先提供一基板200，其中基板200例如是一玻璃基板或是一塑膠基板。之後，在基板200上形成一閘極206、與閘極206電性連接之一掃描配線202以及與掃描配線202平行之一共用線218，共用線218後續係用來作為畫素儲存電容器216之下電極。而閘極206、掃描配線202與共用線218係屬於第一金屬層(M1)。

在此，第一金屬層更包括數個端子部(未繪示)，其係形成在基板200之二邊緣處，而上述所形成之掃描配線202與後續所形成之資料配線，其延伸至基板200的邊緣處都會與端子部電性連接。

接著，在基板200上形成一閘絕緣層205，覆蓋住第一金屬層(包括閘極206、掃描配線202與共用線218)。在一較佳實施例中，閘絕緣層205之材質例如是氮化矽或氧化矽。

之後，在閘極206上方之閘絕緣層205上形成一通道層208。在一較佳實施例中，通道層208之材質例如是非晶矽，且通道層208之表面上更包括形成有一歐姆接觸層(未繪示)，用以改善通道層208與後續所形成之源極/汲極之間的電性接觸。



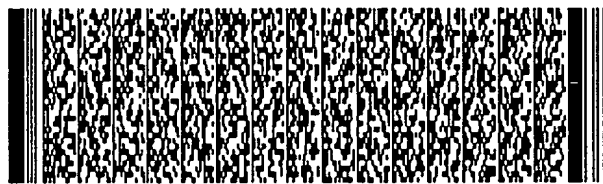
五、發明說明 (7)

隨後，在閘絕緣層205上形成一資料配線204與一導電層250(如第4圖所示)，並且同時在通道層208上形成源極/汲極210a/210b，資料配線204、導電層250與源極/汲極210a/210b係屬於第二金屬層(M2)。其中，源極210a係與資料配線204電性連接，且閘極206、通道層208與源極/汲極210a/210b係構成一薄膜電晶體。

上述所形成之導電層250具有一耦合部220以及一連接部240，其中耦合部220係形成在共用線218之上方，其係作為畫素儲存電容器216之上電極，而連接部240係將耦合部220與汲極210b連接起來。

特別是，在一較佳實施例中，導電層250之連接部240更可以定義成多通道之結構，如第4圖所示，連接部240包括與汲極210b連接之第一部份226a，與耦合部220連接之第二部分226b，以及位於第一部份226a與第二部分226b之間的第三部分224c，第三部分224c係為多通道結構，圖中係繪示三個通道224a、224b、224c為例來作說明，但並非用以限定本發明。作此種多通道結構的目的是後續在定義接觸窗開口時，會定義在其中一通道的上方，例如是定義在中間通道224b的上方。而其他的通道224a、224c則是擔任傳導載子的任務，倘若當其中有一通道(例如是通道224a)因製程因素或其他因素而無法導通時，其剩餘的通道(例如是224c)則可以繼續擔負起傳導載子的任務，而不會因上述原因就使整個畫素結構無法運作。

特別值得一提的是，在連接部240之第三部分224的底



五、發明說明 (8)

下更可以形成一遮光層222，此遮光層222係屬於第一金屬層的一部份，換言之，遮光層222係於先前在定義閘極206、掃描配線202與共用線218時所同時定義出的。在此處形成遮光層222的目的是用來遮擋後續於其上方因形成有接觸窗而會造成的光散射現象。

在形成第二金屬層(包括資料配線204、導電層250與源極/汲極210a/210b)之後，在基板200之上方形形成一保護層211，覆蓋住第二金屬層，其中保護層211之材質例如是氮化矽或氧化矽。隨後，在保護層211上形成一平坦層213，其中平坦層213之材質例如是有機感光材料。

之後，圖案化平坦層213與保護層211，以在平坦層213與保護層211中形成一接觸窗開口228，暴露出導電層250之連接部240的一部份。在一較佳實施例中，接觸窗開口228係暴露出連接部240的其中一通道224b。在此，倘若第二金屬層是使用鈦/鋁雙層金屬層作為其材質，則在定義接觸窗開口228的蝕刻過程中，可能會同時宜除掉通道224b上層的鋁層，而留下下層的鈦層，因此第3圖中通道224b的厚度明顯較通道224a、224c厚度小。

特別值得一提的是，由於本發明之接觸窗開口228並不是定義在畫素儲存電容器216之正上方，因此即使於定義接觸窗開口228的蝕刻步驟會將閘絕緣層205蝕穿，也不會造成畫素儲存電容器216之上、下電極218、220之間產生漏電。而且，倘若此蝕刻步驟會將閘絕緣層205蝕穿，但由於接觸窗開口228底下所配置的是遮光層222，其係為



五、發明說明 (9)

未與其他導電材質層有電性連接之膜層，因此仍不會對整個元件有不良的影響。

之後，在平坦層213之表面上形成一畫素電極212，其中畫素電極212係藉由接觸窗開口228而與導電層250之連接部240(即通道224b)電性連接。

而由於導電層250之耦合部220與薄膜電晶體230之汲極210b之間係藉由連接部240連接在一起，而且畫素電極212又與連接部240電性連接，因此畫素電極212、導電層250(包括耦合部220與連接部240)以及薄膜電晶體230之汲極210b之間便彼此電性導通。

本發明之畫素結構包括一掃描配線202、一共用線218、一閘絕緣層205、一資料配線204、一開關元件230(例如是薄膜電晶體)、一導電層250、一保護層211、一平坦層213、一接觸窗228以及一畫素電極212。

其中，掃描配線202係配置在一基板200上，共用線218亦配置在基板200上，其係作為畫素儲存電容器216之下電極，且共用線218係與掃描配線202平行配置。

閘絕緣層205係配置在基板200上，覆蓋掃描配線202與共用線218。資料配線204係配置在閘絕緣層205上。

另外，開關元件230例如是一薄膜電晶體，其係配置在基板200上，此薄膜電晶體230具有一閘極206、一通道層208以及一源極/汲極210a/210b，其中閘極206係與掃描配線202電性連接，通道層208係配置在閘極206上方之閘絕緣層205上，源極/汲極210a/210b係配置在通道層208



五、發明說明 (10)

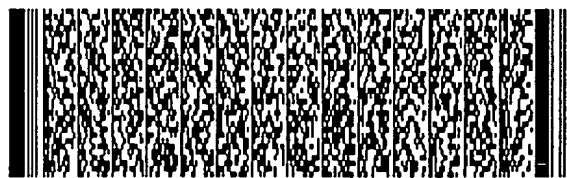
上，而源極210a係與資料配線204電性連接。

此外，導電層250係配置在閘絕緣層205上，此導電層250具有一耦合部220與一連接部240，其中耦合部220係位於共用線218之上方，其係作為畫素儲存電容器216之上電極，而連接部240係將耦合部220與薄膜電晶體230之汲極210b連接起來。在一較佳實施例中，導電層250之連接部240例如是多通道結構，如第4圖所示，連接部240係包括與汲極210b連接之第一部份226a，與耦合部220連接之第二部分226b，以及位在第一部份226a與第二部分226b之間的第三部分224c，第三部分224c係為多通道結構的設計。而且，在連接部240之第三部分224之處的底下更配置有一遮光層222，此遮光層222與閘極206、掃描配線202以及共用線218同樣是屬於第一金屬層，而遮光層222係用來遮擋後續於其上方因形成有接觸窗而會造成的光散射現象。

再者，保護層211係覆蓋住資料配線204、薄膜電晶體230以及導電層250。另外，平坦層213係配置在保護層211上。

而接觸窗228係配置在連接部240上方之平坦層213與保護層211中，且接觸窗228係與導電層250之連接部240電性連接。在一較佳實施例中，接觸窗228係配置在連接部240之通道224b上方之平坦層213與保護層211中，且其與連接部240之通道224b電性連接。

畫素電極212係配置在平坦層213之表面上，其中畫素電極212係藉由接觸窗228而與導電層250之連接部240電性



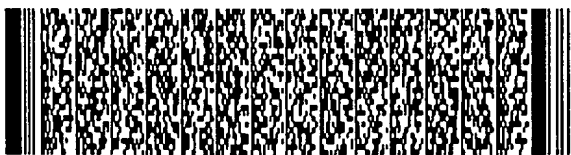
五、發明說明 (11)

連接，較詳細的是，畫素電極212係藉由接觸窗228而與連接部240之通道224b電性連接。藉由通道224b與畫素電極212的電性接觸，畫素電極212與整個導電層250之間便彼此電性導通。此外，由於汲極210b又與導電層250連接在一起，因此畫素電極212、導電層250以及汲極210b之間都彼此電性導通。

因此，本發明之畫素結構其畫素電極與汲極以及畫素儲存電容器之上電極之間，是透過相同的一接觸窗來電性連接，因此本發明之畫素結構係為一種有別於習知之畫素結構的設計。

另外，由於本發明之畫素結構之接觸窗並非設置在畫素儲存電容器之上方，因此，即使保護層與閘絕緣層之蝕刻步驟會將閘絕緣層蝕穿，也不會導致畫素儲存電容器之上、下電極之間產生漏電。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是習知薄膜電晶體陣列基板之其中一畫素結構之上視示意圖；

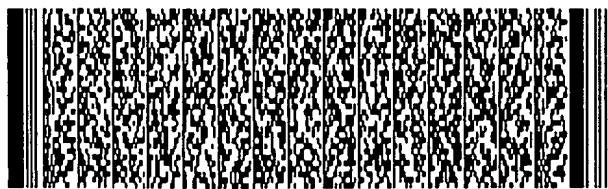
第2圖是依照本發明一較佳實施例之薄膜電晶體陣列基板之其中一畫素結構之上視示意圖；

第3圖是第2圖由I-I'之剖面示意圖；以及

第4圖是第2圖中導電層之上視圖。

圖式標示說明

- 102、202：掃描配線
- 104、204：資料配線
- 106、206：閘極
- 108、208：通道層
- 110a/110b、210a/210b：源極/汲極
- 112、212：畫素電極
- 114、122、228：接觸窗
- 116、216：畫素儲存電容器
- 118、218：共用線(下電極)
- 120、220：上電極
- 130、230：薄膜電晶體
- 200：基板
- 205：閘絕緣層
- 211：保護層
- 213：平坦層
- 222：遮光層



圖式簡單說明

240 : 連接部

250 : 導電層

224a、224b、224c : 通道

226a、226b、224 : 第一部分、第二部分、第三部分



六、申請專利範圍

1. 一種畫素結構，包括：

- 一掃描配線，配置在一基板上；
- 一共用線，配置在該基板上，其係作為一畫素儲存電容器之下電極；
- 一閘絕緣層，配置在該基板上，覆蓋該掃描配線與該共用線；
- 一資料配線，配置在該閘絕緣層上；
- 一開關元件，配置在該基板上，其中該開關元件係與該掃描配線以及該資料配線電性連接；
- 一導電層，配置在該閘絕緣層上，其中該導電層具有一耦合部與一連接部，該耦合部係位於該共用線之上方，其係作為該畫素儲存電容器之上電極，而該連接部係將該耦合部與該開關元件連接起來；
- 一保護層，覆蓋住該資料配線、該開關元件以及該導電層；
- 一接觸窗，配置在該連接部上方之該保護層中；以及
- 一畫素電極，配置在該保護層上，其中該畫素電極係藉由該接觸窗而與該開關元件以及該導電層之該耦合部電性連接。

2. 如申請專利範圍第1項所述之畫素結構，其中該導電層之該連接部係為一多通道結構，其包括：

- 一第一部份，其係與該耦合部連接；
- 一第二部分，其係與該開關元件連接；以及
- 一第三部分，位於該第一部份與該第二部分之間，且



六、申請專利範圍

該第三部分具有複數個通道。

3. 如申請專利範圍第2項所述之畫素結構，其中該接觸窗係配置在該第三部分之其中一該些通道上方之該保護層中，且與該通道電性連接。

4. 如申請專利範圍第1項所述之畫素結構，其中對應配置有該接觸窗處之該連接部底下更包括配置有一遮光層。

5. 如申請專利範圍第1項所述之畫素結構，其中在該保護層與該畫素電極之間更包括配置有一平坦層。

6. 如申請專利範圍第1項所述之畫素結構，其中該開關元件係為一薄膜電晶體，其包括：

一閘極，該閘極係與該掃描配線電性連接；

一通道層，該通道層係配置在該閘極上方之該閘絕緣層上；以及

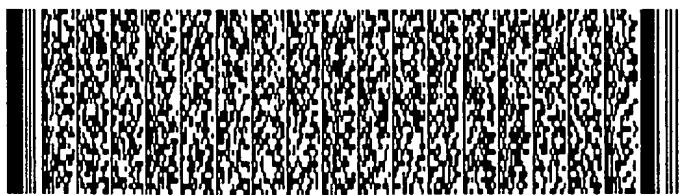
一源極/汲極，該源極/汲極係配置在該通道層上，且該源極係與該資料配線電性連接，該汲極係與該導電層之該連接部連接。

7. 如申請專利範圍第1項所述之畫素結構，其中該掃描配線係與該共用線平行配置。

8. 一種畫素結構的製造方法，包括：

在一基板上形成一閘極、與該閘極電性連接之一掃描配線以及一共用線；

在該基板上形成一閘絕緣層，覆蓋該閘極、該掃描配線以及該共用線；



六、申請專利範圍

在該閘極上方之該閘絕緣層上形成一通道層；

在該閘絕緣層上形成一資料配線與一導電層，且同時在該通道層上形成一源極/汲極，其中該資料配線係與該源極電性連接，且該導電層具有一耦合部與一連接部，該耦合部係形成在該共用線之上方，該連接部係將該耦合部與該汲極連接起來；

在該基板之上方形形成一保護層，覆蓋該資料配線、該導電層以及該薄膜電晶體；

在該保護層中形成一接觸窗開口，暴露出該導電層之該連接部；以及

在該保護層上形成一畫素電極，其中該畫素電極係藉由該接觸窗開口而與該導電層電性連接。

9. 如申請專利範圍第8項所述之畫素結構的製造方法，其中該導電層之該連接部係定義成一多通道結構。

10. 如申請專利範圍第9項所述之畫素結構的製造方法，其中該接觸窗開口係暴露出該連接部之其中一通道。

11. 如申請專利範圍第8項所述之畫素結構的製造方法，其中在該接觸窗底下之該連接部底下更包括形成有一遮光層。

12. 如申請專利範圍第11項所述之畫素結構的製造方法，其中該遮光層係於形成該閘極、該掃描配線以及該共用線時所同時形成的一部份。

13. 如申請專利範圍第8項所述之畫素結構的製造方法，其中在形成該畫素電極之前，更包括在該保護層上形

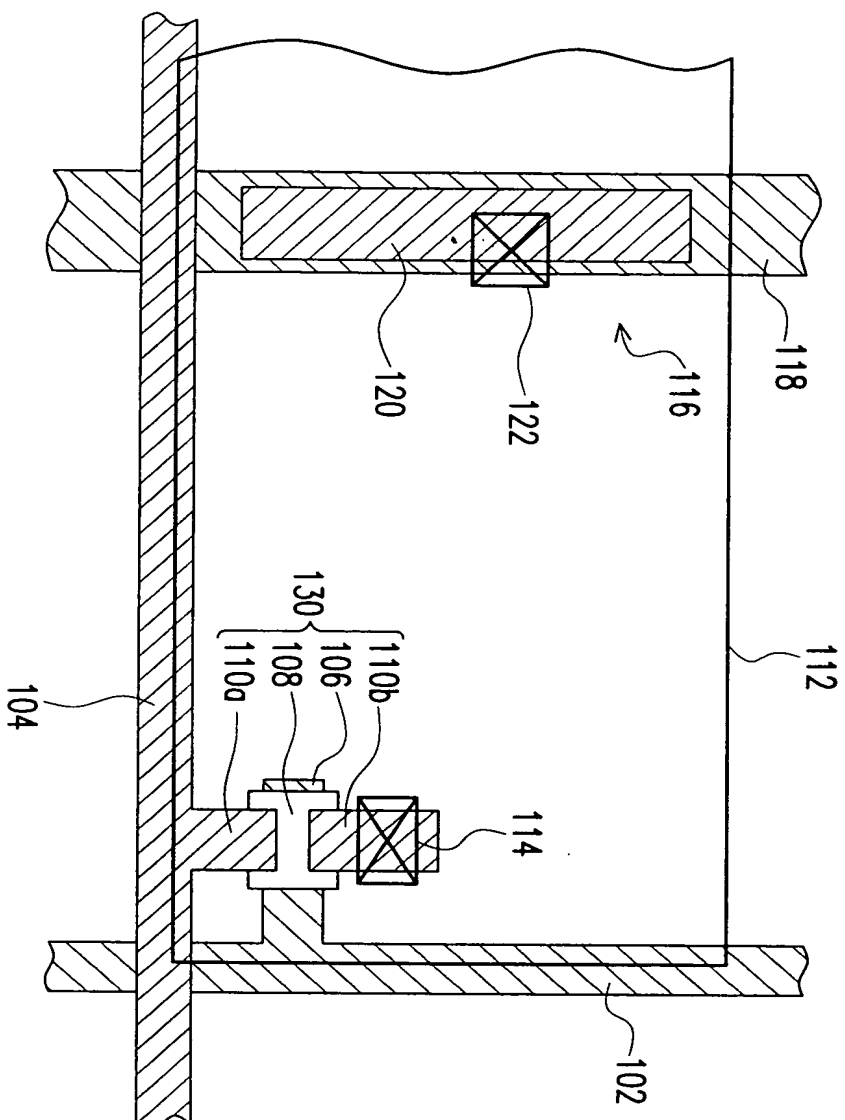


六、申請專利範圍

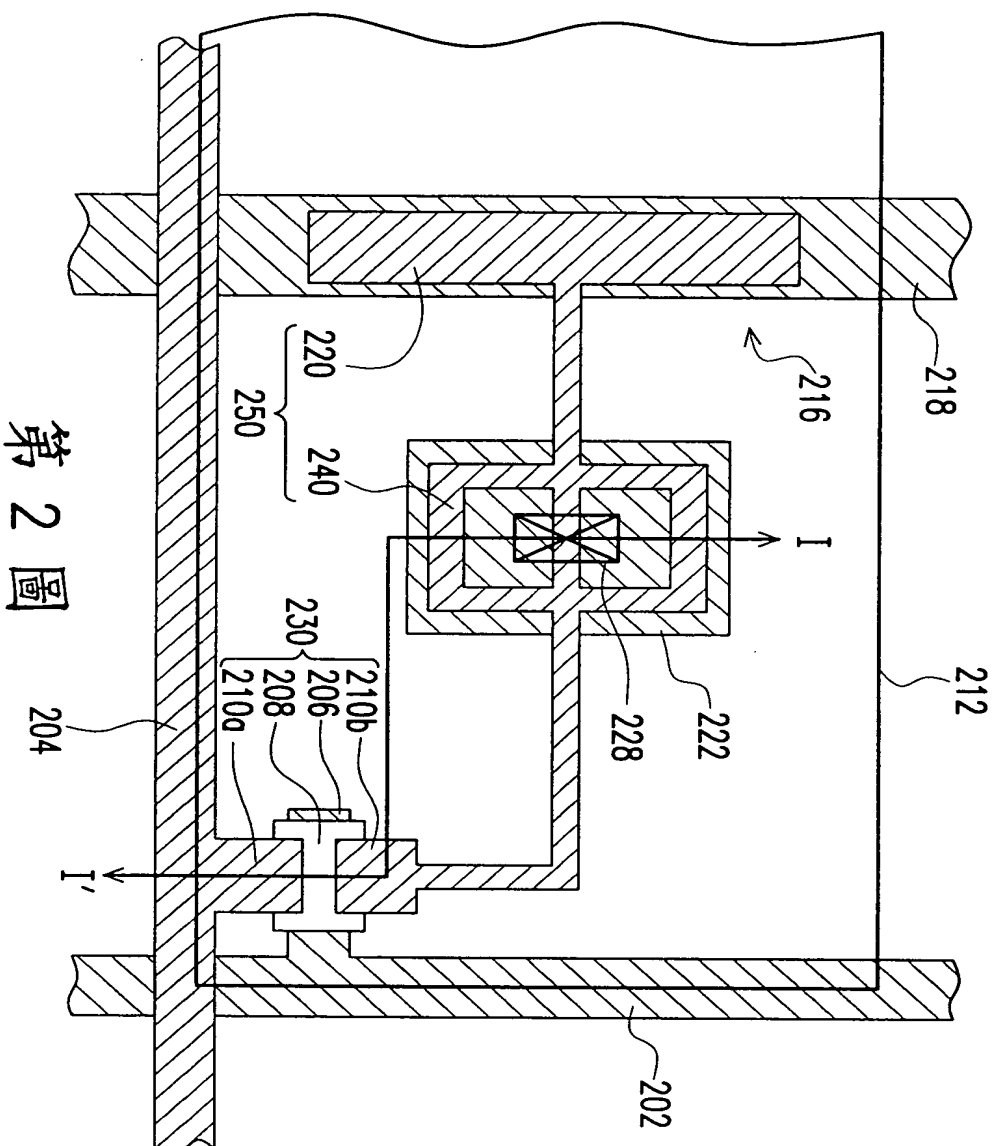
成一平坦層。

14. 如申請專利範圍第8項所述之畫素結構的製造方法，其中所形成之該共用線係與該掃描配線平行。

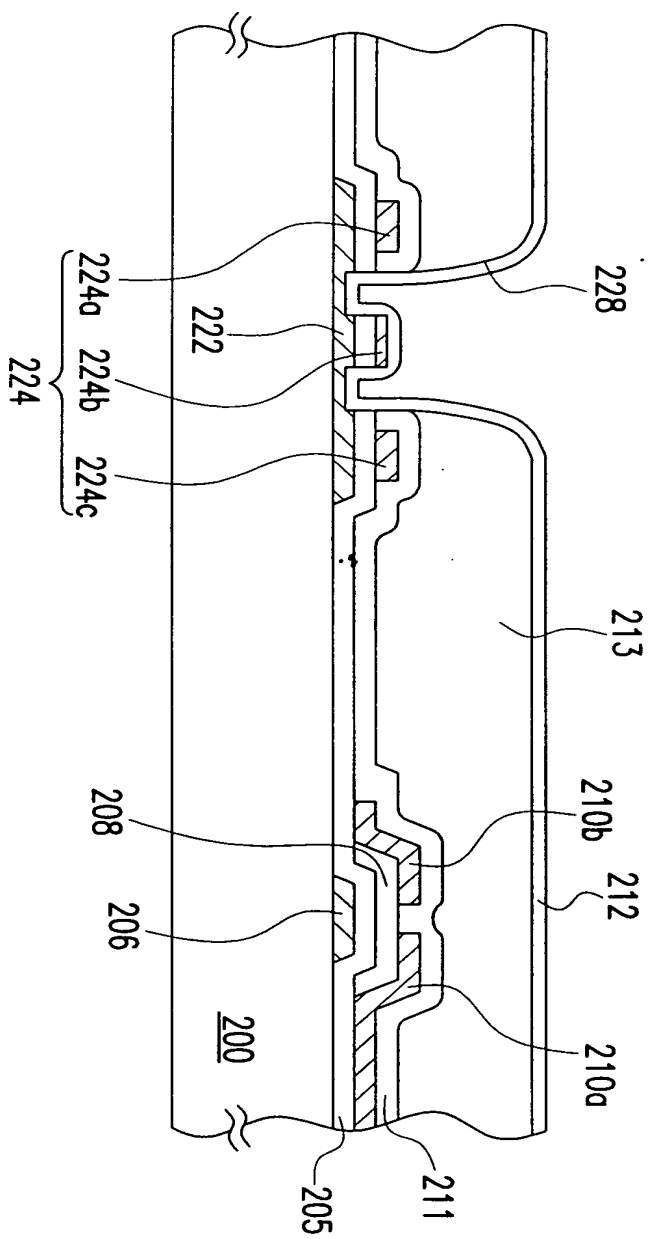




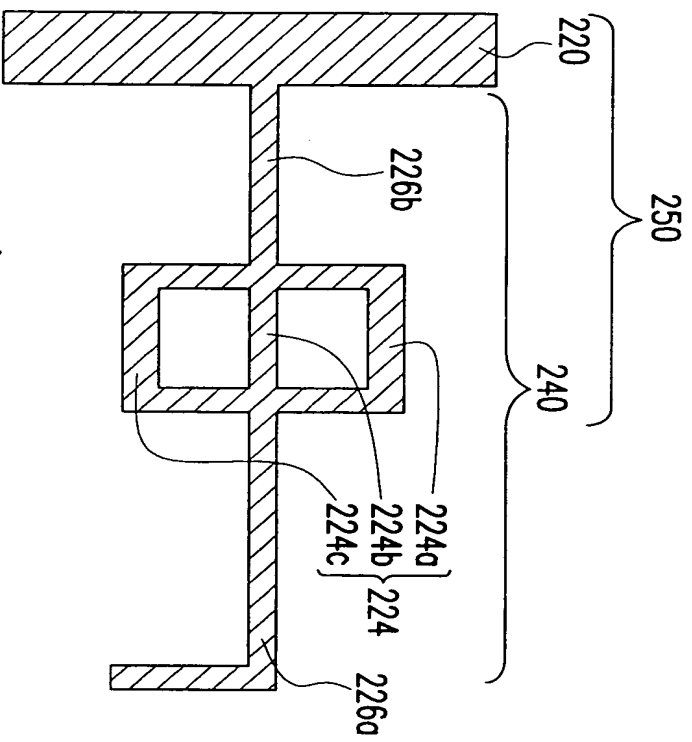
第 1 圖



第 2 圖



第 3 圖



第 4 圖

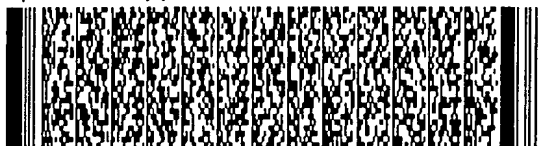
第 1/23 頁



第 1/23 頁



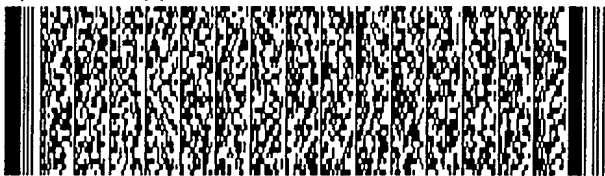
第 2/23 頁



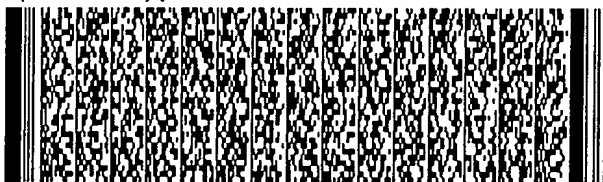
第 3/23 頁



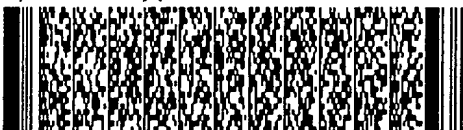
第 3/23 頁



第 4/23 頁



第 5/23 頁



第 6/23 頁



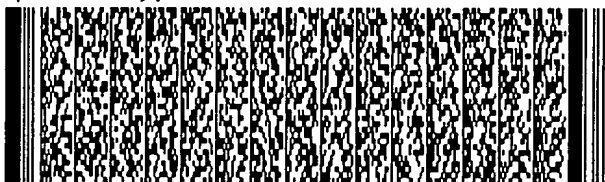
第 7/23 頁



第 7/23 頁



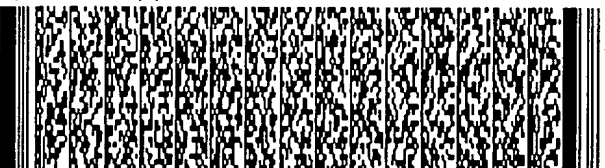
第 8/23 頁



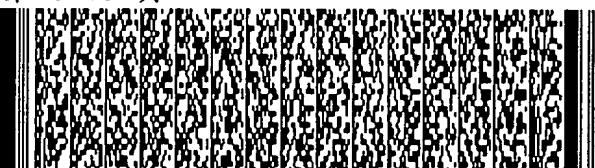
第 8/23 頁



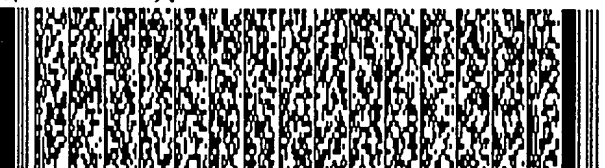
第 9/23 頁



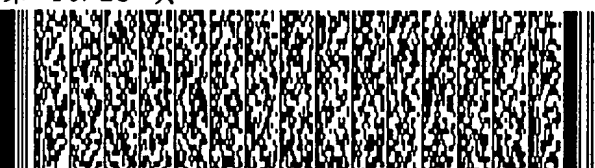
第 9/23 頁



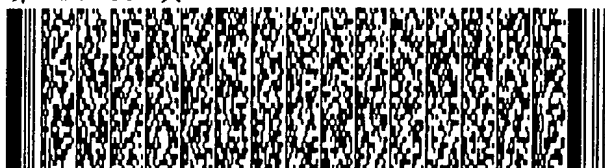
第 10/23 頁



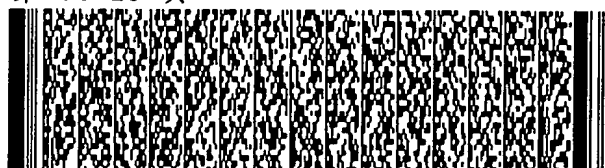
第 10/23 頁



第 11/23 頁



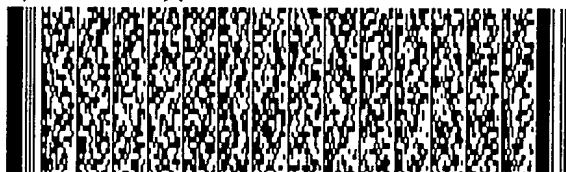
第 11/23 頁



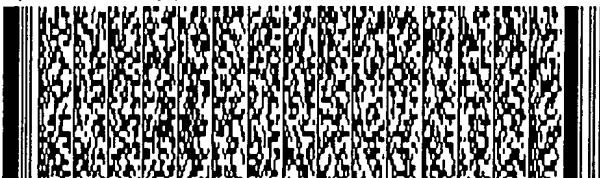
第 12/23 頁



第 12/23 頁



第 13/23 頁



第 13/23 頁



第 14/23 頁



第 14/23 頁



第 15/23 頁



第 15/23 頁



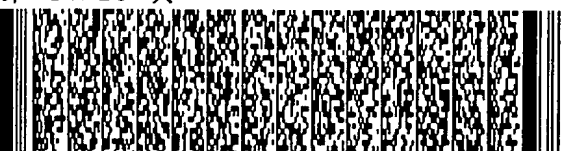
第 16/23 頁



第 16/23 頁



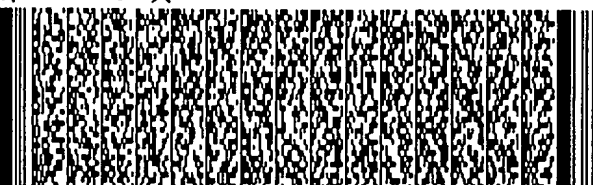
第 17/23 頁



第 17/23 頁



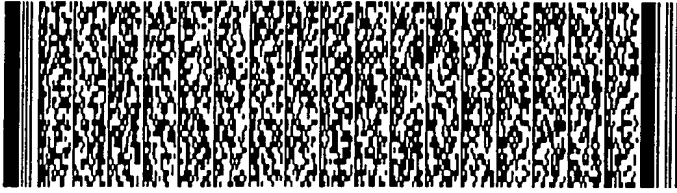
第 18/23 頁



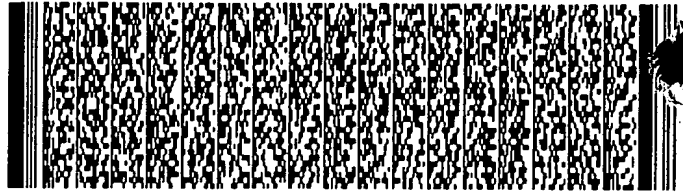
第 19/23 頁



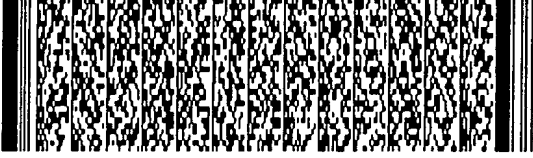
第 20/23 頁



第 21/23 頁



第 22/23 頁



第 22/23 頁



第 23/23 頁

